



KOREAN PATENT ABSTRACTS

(11) Publication number: 1020020032689 A
 (43) Date of publication of application: 04.05.2002

(21) Application number: 1020000063133

(71) Applicant: HYNIX SEMICONDUCTOR INC.

(22) Date of filing: 26.10.2000

(72) Inventor: KWON, O WON

(51) Int. Cl.

G11C 7/00

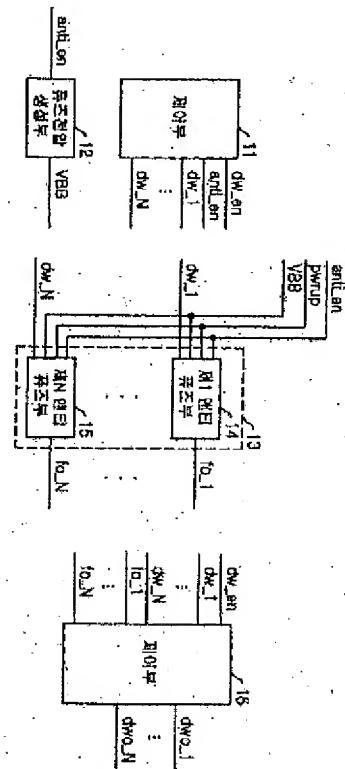
(54) APPARATUS FOR CONTROLLING DATA WIDTH OF SEMICONDUCTOR MEMORY

(57) Abstract:

PURPOSE: An apparatus for controlling a data width of a semiconductor memory is provided to determine the data width of the semiconductor memory under a state of package instead of a state of wafer.

CONSTITUTION: A control portion(11) is used for generating a data width enable signal(dw_en), an anti-fuse enable signal(anti_en), and a multitude of data width signal(dw_1 to dw_N). A fuse voltage generation portion(12) is used for generating a negative voltage signal(VBB) to an anti-fuse portion(13) in response to the anti-fuse enable signal(anti_en). The anti-fuse portion(13) is used for generating a multitude of fuse output signal(fo_1 to fo_N) in response to the anti-fuse enable signal(anti_en), the negative voltage signal(VBB), a power-up signal(pwrup), and the data width signals(dw_1 to dw_N). A comparator portion(15) is used for generating a multitude of data width output signal(dwo_1 to dwo_N) in response to the data width enable signal(dw_en) and the data width signals(dw_1 to dw_N).

© KIPO 2002



(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) . Int. Cl. 7
 G11C 7/00

(11) 공개번호 특2002- 0032689
 (43) 공개일자 2002년05월04일

(21) 출원번호 10- 2000- 0063133
 (22) 출원일자 2000년10월26일

(71) 출원인 주식회사 하이닉스반도체
 박종섭
 경기 이천시 부발읍 아미리 산136- 1

(72) 발명자 권오원
 경기도안양시만안구안양1동진흥아파트8- 504

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 메모리의 데이터폭 제어장치

요약

본 발명은 반도체 메모리의 데이터폭을 웨이퍼 상태가 아닌 팩키지가 된 상태에서 결정할 수 있도록 하기 위한 반도체 메모리의 데이터폭 제어장치를 제공하는데 그 목적이 있다. 본 발명은 반도체 메모리의 데이터폭 제어장치에 있어서, 테스트 모드를 제어하기 위하여 데이터폭 제어장치를 인에이블시키는 데이터폭인에이블신호, 앤티퓨즈를 프로그램하기 위한 인에이블신호인 앤티퓨즈인에이블신호 및 데이터폭을 결정하는 다수의 데이터폭신호를 생성하는 제어부; 상기 앤티퓨즈인에이블신호에 응답하여 상기 앤티퓨즈에 인가하는 음의 전압인 음전압신호를 발생하는 퓨즈전압생성부; 상기 앤티퓨즈인에이블신호와 상기 음전압신호와 파워업신호와 상기 다수의 데이터폭신호에 응답하여 다수의 단위앤티퓨즈부를 통해 다수의 퓨즈출력신호를 생성하는 앤티퓨즈부; 및 상기 데이터폭인에이블신호와 상기 다수의 데이터폭신호 및 상기 다수의 퓨즈출력신호에 응답하여 상기 데이터폭인에이블신호에 따라 상기 다수의 데이터폭신호 또는 상기 앤티퓨즈부에 프로그램된 상기 다수의 퓨즈출력신호를 선택하여 메모리 장치의 데이터 폭을 결정하는 다수의 데이터폭출력신호를 생성하는 비교부를 포함하여 이루어진다.

대표도
 도 1

색인어
 앤티퓨즈, 데이터폭, 앤티퓨즈인에이블신호, 음전압신호, 데이터폭인에이블신호.

명세서

도면의 간단한 설명

도1은 본 발명의 일실시예에 따른 반도체 메모리의 데이터폭 제어장치의 블록다이아그램.

도2는 본 발명의 일실시예에 따른 앤티퓨즈부의 상세회로도.

도3은 본 발명의 일실시예에 따른 비교부의 상세회로도.

* 도면의 주요 부분에 대한 부호의 설명

23 : 앤티퓨즈

dw_en : 데이터폭인에이블신호

anti_en : 앤티퓨즈인에이블신호

VBB : 음전압신호

dw_1, ..., dw_N : 데이터폭신호

fo_1, ..., fo_N : 퓨즈출력신호

dwo_1, ..., dw_N : 데이터폭출력신호

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 팩키지 된 상태에서 메모리의 데이터 폭을 칩 외부에서 프로그래밍 할 수 있는 반도체 메모리 장치에 관한 것이다.

잘 알려진 바와 같이, 32비트(bit), 16비트, 8비트, 및 4비트 등으로 알려진 반도체 메모리 소자의 데이터 폭은 외부 신호에 의해 결정되거나, 디램(DRAM)과 같이 한 종류의 데이터 폭만을 가진다.

메모리의 설계시에는 동일한 메모리 사이즈를 같지만, 다양한 데이터 폭으로 변환이 가능하도록 내부적으로 데이터 폭의 선택 방법을 구현하고 있고, 이러한 데이터 폭 선택 방법으로는 본딩 패드 옵션(bonding pad option) 또는 레이저 퓨즈 절단(laser fuse cutting) 방법을 사용하고 있다.

상기 본딩 패드 옵션 방법은 선택하고자 하는 데이터 폭을 인에이블하기 위해 임의의 패드를 제작하고 여기에 전원 패드와 와이어(wire) 본딩 등의 기술을 사용하여 연결시켜 구현한다. 그러나 인에이블 패드를 제작하여야 함으로 칩 면적에서 손해를 보며, 정전기 충격 방지 특성을 추가적으로 고려해야 한다.

또한, 상기 레이저 퓨즈 절단 기술도 추가적이 퓨즈의 사용이 필요하며, 퓨즈의 절단을 위한 장비 사용료가 추가된다.

한편, 두 기술은 공통적으로 반도체 웨이퍼(wafer) 상태에서 데이터 폭이 결정됨으로서, 팩키지(package) 후의 특성, 예를 들어 데이터 폭의 증가에 따른 데이터 입출력 노이즈(noise) 특성 악화등의 변화에 능동적으로 대처하지 못하는 문제가 있다.

웨이퍼상태의 반도체 메모리 장치는 실제 보드에 실장되는 환경에 따라 그 특성이 악화된다. 특히 메모리 장치의 데이터 폭이 증가되면 접지전원 바운스(ground bounce) 등의 노이즈 문제가 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 바와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로써, 반도체 메모리의 데이터폭을 웨이퍼 상태가 아닌 팩키지가 된 상태에서 결정할 수 있도록 하기 위한 반도체 메모리의 데이터폭 제어장치를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은 반도체 메모리의 데이터폭 제어장치에 있어서, 테스트 모드를 제어하기 위하여 데이터폭 제어장치를 인에이블시키는 데이터폭인에이블신호, 앤티퓨즈를 프로그램하기 위한 인에이블신호인 앤티퓨즈인에이블신호, 및 데이터폭을 결정하는 다수의 데이터폭신호를 생성하는 제어부; 상기 앤티퓨즈인에이블신호에 응답하여 상기 앤티퓨즈에 인가하는 음의 전압인 음전압신호를 발생하는 퓨즈전압생성부; 상기 앤티퓨즈인에이블신호와 상기 음전압신호와 파워업신호와 상기 다수의 데이터폭신호에 응답하여 다수의 단위앤티퓨즈부를 통해 다수의 퓨즈출력신호를 생성하는 앤티퓨즈부; 및 상기 데이터폭인에이블신호와 상기 다수의 데이터폭신호 및 상기 다수의 퓨즈출력신호에 응답하여 상기 데이터폭인에이블신호에 따라 상기 다수의 데이터폭신호 또는 상기 앤티퓨즈부에 프로그램된 상기 다수의 퓨즈출력신호를 선별적으로 선택하여 메모리 장치의 데이터 폭을 결정하는 다수의 데이터폭출력신호를 생성하는 비교부를 포함하여 이루어진 반도체 메모리의 데이터폭 제어장치이다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

먼저, 도1은 본 발명의 일실시예에 따른 반도체 메모리의 데이터폭 제어장치의 블럭다이아그램이다.

도1을 참조하면, 반도체 메모리의 데이터폭 제어장치에 있어서, 테스트 모드를 제어하기 위하여 데이터폭 제어장치를 인에이블시키는 데이터폭인에이블신호(dw_en), 앤티퓨즈(anti-fuse)를 프로그램하기 위한 인에이블신호인 앤티퓨즈인에이블신호(anti_en), 및 데이터폭을 결정하는 다수의 데이터폭신호(dw_1, ..., dw_N)를 생성하는 제어부(11)와, 상기 앤티퓨즈인에이블신호(anti_en)에 응답하여 상기 앤티퓨즈에 인가하는 음의 전압인 음전압신호(VBB)를 발생하는 퓨즈전압생성부(12)와, 상기 앤티퓨즈인에이블신호(anti_en)와 상기 음전압신호(VBB)와 파워업신호(pwrup)와 상기 다수의 데이터폭신호(dw_1, ..., dw_N)에 응답하여 다수의 단위앤티퓨즈부를 통해 다수의 퓨즈출력신호(fo_1, ..., fo_N)를 생성하는 앤티퓨즈부(13)와, 상기 데이터폭인에이블신호(dw_en)와 상기 다수의 데이터폭신호(dw_1, ..., dw_N) 및 상기 다수의 퓨즈출력신호(fo_1, ..., fo_N)에 응답하여 상기 데이터폭인에이블신호(dw_en)에 따라 상기 다수의 데이터폭신호(dw_1, ..., dw_N) 또는 상기 앤티퓨즈부(13)에 프로그램된 상기 다수의 퓨즈출력신호(fo_1, ..., fo_N)를 선별적으로 선택하여 메모리 장치의 데이터 폭을 결정하는 다수의 데이터폭출력신호(dwo_1, ..., dw_o_N)를 생성하는 비교부(15)로 이루어진다.

도2는 본 발명의 일실시예에 따른 제1앤티퓨즈부(14)의 상세 회로도이다.

상기 단위앤티퓨즈부는 모두 같은 구성으로 이루어져 있어 제1앤티퓨즈부(14)를 통해 그 구성을 알아본다.

상기 제1앤티퓨즈부(14)는 상기 파워업신호(pwrup)와 제1데이터폭신호(dw_1)와 상기 앤티퓨즈인에이블신호(anti_en)에 응답하여 상기 음전압신호(VBB)와 함께 상기 앤티퓨즈를 프로그램하는 제1출력노드신호(N21)를 생성하는 입력부(21)와, 상기 앤티퓨즈인에이블신호(anti_en)에 응답하여 상기 음전압신호(VBB)와 상기 제1출력노드신호(N21)

에 따라 온- 오프(on- off) 되는 상기 앤티퓨즈로 이루어진 퓨즈부(22)와, 상기 제1출력노드신호(N21)를 저장하는 래치부(24)와, 상기 제1출력노드신호(N21)를 감지하여 제1퓨즈출력신호(fo_1)를 생성하는 출력부(25)로 이루어진다.

상기 입력부(21)는 상기 파워업신호(pwrup)를 반전하여 제2출력노드신호(N22)를 생성하는 제1인버터(INV21)와, 게이트로 상기 제1출력노드신호(N21)를 입력받아 소스- 드레인 경로를 통해 공급전원(VDD)을 상기 제1출력노드(N21)에 전달하는 제1PMOS트랜지스터(PM21)와, 상기 제1데이터폭신호(dw_1)와 상기 앤티퓨즈인에이블신호(anti_en)에 응답하여 제3출력노드신호(N23)를 생성하는 제1낸드게이트(ND21)와, 게이트로 상기 제3출력노드신호(N23)를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제1출력노드(N21)에 전달하는 제2PMOS트랜지스터(PM22) 및 제3PMOS트랜지스터(PM23)와, 상기 제1데이터폭신호(dw_1)를 반전하여 제4출력노드신호(N24)를 생성하는 제2인버터(INV22)와, 게이트로 각각 상기 앤티인에이블신호(anti_en)와 상기 제4출력노드신호(N24)를 입력받아 직렬 연결된 소스- 드레인 경로를 통해 접지전원을 상기 제1출력노드(N21)로 전달하는 제1NMOS트랜지스터(NM21) 및 제2NMOS트랜지스터(NM22)로 이루어진다.

상기 퓨즈부(22)는 상기 음전압신호(VBB)와 상기 제1출력노드신호(N21)에 응답하여 온(on) 또는 오프(off) 되는 앤티퓨즈(23)와, 상기 앤티퓨즈인에이블신호(anti_en)를 반전하는 제3인버터(INV23)와, 게이트로 상기 제3인버터(INV23)의 출력신호를 입력받아 소스- 드레인 경로를 통해 상기 음전압신호(VBB)에 상기 접지전원을 전달하는 제3NMOS트랜지스터(NM23)로 이루어진다.

상기 래치부(24)는 게이트로 상기 제1출력노드신호(N21)를 입력받아 소스- 드레인 경로를 통해 제5출력노드(N25)로 상기 공급전원을 전달하는 제4PMOS트랜지스터(PM24)와, 게이트로 상기 제1출력노드신호(N21)를 입력받아 소스- 드레인 경로를 통해 상기 제5출력노드(N25)로 상기 접지전원을 전달하는 제4NMOS트랜지스터(NM24)와, 상기 제2출력노드신호(N22)와 상기 제3출력노드신호(N23)를 부정논리곱하는 제2낸드게이트(ND22)와, 게이트로 각각 상기 제2낸드게이트(ND22)의 출력신호와 상기 제5출력노드신호(N25)를 입력받아 직렬연결된 소스- 드레인 경로를 통해 상기 공급전원을 상기 제1출력노드(N21)로 전달하는 제5 및 제6PMOS트랜지스터(PM25, PM26)와, 게이트로 상기 제5출력노드신호(N25)를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제1출력노드(N21)로 전달하는 제5NMOS트랜지스터(NM25)로 이루어진다.

상기 출력부(25)는 게이트로 상기 제1출력노드신호(N21)를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제6출력노드(N26)로 전달하는 제6NMOS트랜지스터(NM26)와, 게이트로 상기 제5출력노드신호(N25)를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제7출력노드(N27)로 전달하는 제7NMOS트랜지스터(NM27)와, 게이트로 상기 제7출력노드신호(N27)를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제6출력노드(N26)로 전달하는 제7PMOS트랜지스터(PM27)와, 게이트로 상기 제6출력노드신호(N26)를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제7출력노드(N27)로 전달하는 제8PMOS트랜지스터(PM28)와, 상기 제7출력노드신호(N27)를 반전하여 제1퓨즈출력신호를 생성하는 제4인버터(INV24)로 이루어진다.

도3은 본 발명의 일실시예에 따른 상기 비교부(15)의 상세 회로도이다.

상기 비교부(15)는 상기 데이터폭인에이블신호(dw_en)와 각각 상기 다수의 데이터폭신호(dw_1, ..., dw_N)와 상기 다수의 퓨즈출력신호(fo_1, ..., fo_N)에 응답하여 각각 상기 다수의 데이터폭출력신호(dwo_1, ..., dwo_N)를 생성하는 제1비교부(32) 내지 제N비교부(34)의 다수의 단위비교부로 이루어진다.

상기 제1비교부(32)는 상기 데이터폭인에이블신호(dw_en)에 응답하여 상기 제1데이터폭신호(dw_1)를 상기 데이터폭출력신호(dwo_1)로 전달하는 제1스위치부(32)와, 상기 데이터폭인에이블신호(dw_en)에 응답하여 상기 제1퓨즈출력신호(fo_1)를 상기 제1데이터폭출력신호(dwo_1)로 전달하는 제2스위치부(33)로 이루어진다.

상기 제1스위치부(32)는 게이트로 상기 데이터폭인에이블신호(dw_en)가 반전된 신호를 입력받아 소스- 드레인 경로를 통해 상기 제1데이터폭신호(dw_1)를 상기 제1데이터폭출력신호(dw_o_1)로 전달하는 제9PMOS트랜지스터(PM31)와, 게이트로 상기 데이터폭인에이블신호(dw_en)를 입력받아 소스- 드레인 경로를 통해 상기 제1데이터폭신호(dw_1)를 상기 데이터폭출력신호(dw_o_1)로 전달하는 제8NMOS트랜지스터(NM31)로 이루어진다.

상기 제2스위치부(33)는 게이트로 상기 데이터폭인에이블신호(dw_en)를 입력받아 소스- 드레인 경로를 통해 상기 제1퓨즈출력신호(fo_1)를 상기 제1데이터폭출력신호(dw_o_1)로 전달하는 제10PMOS트랜지스터(PM32)와, 게이트로 상기 데이터폭인에이블신호(dw_en)가 반전된 신호를 입력받아 소스- 드레인 경로를 통해 상기 제1퓨즈출력신호를 상기 제1데이터폭출력신호(dw_o_1)로 전달하는 제9NMOS트랜지스터(NM32)로 이루어진다.

상기와 같은 구성을 갖는 본 발명의 실시예에 따른 동작을 살펴본다.

상세한 동작 설명에 앞서 안티- 퓨즈에 대해서 설명하면, 안티- 퓨즈는 전극- 전열룰- 전극의 구조를 가진 소자로서 절연물의 절연 파괴를 이용하여 두 전극 사이에 컨더티브(conductive) 경로를 형성시키는 소자이다. 즉, 절연 파괴전에는 두 전극 사이의 저항이 수 메가옴으로 오픈(open)된 상태 즉 오프(off) 상태이며, 절연 파괴후에는 수 킬로옴으로 쇼트(short) 즉 온(on)된 상태가 된다.

상기 제어부(11)는 모드 레지스터(mode register)를 셋팅하는 블록으로서 전체 데이터폭 제어장치를 제어하는 블록이다. 상기 데이터폭인에이블신호(dw_en)는 웨이퍼(wafer) 상태 혹은 팩키지(package) 상태에서 임시적 데이터폭을 선택하기 위한 인에이블신호이고, 상기 앤티퓨즈인에이블신호(anti_en)는 상기 앤티퓨즈(23)를 프로그램하기 위한 인에이블신호이고, 상기 제1 내지 제N 데이터폭신호(dw_1, ..., dw_N)는 각각의 원하는 데이터폭의 인에이블신호이다.

상기 퓨즈전압생성부(12)는 상기 앤티퓨즈(23)의 프로그램하기 위한 상기 음전압신호(VBB)를 발생시키는 회로부로서 모든 앤티퓨즈블럭에 공통으로 입력된다.

상기 음전압신호(VBB)는 상기 앤티퓨즈인에이블신호(anti_en)가 로직 "하이"로 액티브되면 약 - 4V의 전압이 공급되고, 상기 앤티퓨즈인에이블신호(anti_en0가 로직 "로우"로 인가되면 상기 퓨즈부(22)에서 상기 제3NMOS트랜지스터(NM23)을 턴- 온(turn- on) 시켜 상기 음전압신호노드를 절지전원 레벨로 디스차지한다.

상기 앤티퓨즈부(13)는 상기 앤티퓨즈인에이블신호(anti_en)가 "하이"로 액티브되어 각각의 단위앤티퓨즈부가 인에이블된 상태에서 상기 제어부(11)에서 원하는 데이터폭에 상응하는 상기 제1데이터폭신호(dw_1)를 선택하면 로직 "하이" 레벨로 인가되어, 상기 제3출력노드신호(N23)이 "로우" 레벨로 되어 상기 제1출력노드신호를 로직 "하이"로 된다.

따라서, 상기 음전압신호와 상기 제1출력노드신호의 전압차에 의해서 상기 앤티퓨즈(23)에서 절연파괴를 일으켜 상기 앤티퓨즈(23)의 프로그램을 완성한다.

한편, 상기 데이터폭신호가 로직 "로우"로서 액티브되지 않는 경우에는 상기 제1출력노드신호가 로직 "로우"로 되고 상기 앤티퓨즈(23)의 프로그램은 일어나지 않는다.

상술한 바와 같은 과정을 통해서 상기 앤티퓨즈(23)의 프로그램이 일어나고, 이러한 프로그램 여부는 파워업 동작시 감지되어 래치된다.

먼저, 프로그램된 상태를 살펴보면 상기 파워업신호(pwrup) 신호가 로직 "하이"로 액티브되면 상기 제1출력노드신호(N21)는 로직 "하이"로 된다. 이때 상기 앤티퓨즈인에이블신호(anti_en)는 로직 "로우" 레벨로 인가되어 상기 제3NMOS트랜지스터(NM23)을 온시켜 상기 음전압신호(VBB)를 로직 "로우"로 만들고, 상기 앤티퓨즈(23)이 프로그램되어 생기 경로를 통해 상기 제1출력노드신호(N21)가 로직 "로우"로 된다. 로직 "로우" 레벨의 상기 제2출력노드신호(N21)가 상기 래치부(N24)를 거쳐 상기 제5출력노드신호(N25)를 통해 상기 출력부(25)에서 상기 제7NMOS트랜지스터(NM27)와 상기 제7PMOS트랜지스터(PM27)를 차례로 턴- 온시켜 결국 상기 제1퓨즈출력신호(fo_1)를 로

직 " 하이" 로 만든다.

한편, 프로그램이 되지 않은 경우에는 상기 제1출력노드신호(N21)가 로직 " 하이" 레벨로 유지되고, 상기 제6NMOS 트랜지스터(NM26)와 상기 제8PMOS트랜지스터(PM28)를 각각 터-온시켜 상기 제1퓨즈출력신호(fo_1)를 로직 " 로우" 로 만든다.

최종적으로 상기 앤티퓨즈(23)를 프로그램하여 결정된 데이터폭을 사용할지 아니면 상기 데이터폭신호를 상기 비교부에서 상기 데이터폭인에이블신호(dw_en)에 따라 결정된다.

즉, 상기 데이터폭인에이블신호(dw_en)가 " 하이" 인 경우에는 상기 데이터폭신호가 집적 상기 데이터폭출력신호로 출력되고, 상기 데이터폭인에이블신호(dw_en)가 " 로우" 인 경우에는 상기 앤티퓨즈(23)에 프로그램된 상기 퓨즈출력신호가 상기 데이터폭출력신호로 출력된다.

결국, 반도체 메모리 장치의 데이터폭을 팩키지 후의 환경을 고려하여 웨이퍼 상태 또는 팩키지상태에서 모두 결정할수 있게 하였다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상기와 같이 이루어지는 본 발명은, 팩키지 된 상태에서 메모리의 데이터 폭을 칩 외부에서 프로그래밍하여 반도체 메모리 장치의 특성 변화에 유연하게 대처하여 팩키지후의 특성 악화로 인해 발생하는 손실을 줄일 수 있다.

(57) 청구의 범위

청구항 1.

반도체 메모리의 데이터폭 제어장치에 있어서,

테스트 모드를 제어하기 위하여 데이터폭 제어장치를 인에이블시키는 데이터폭인에이블신호, 앤티퓨즈를 프로그램하기 위한 인에이블신호인 앤티퓨즈인에이블신호, 및 데이터폭을 결정하는 다수의 데이터폭신호를 생성하는 제어부;

상기 앤티퓨즈인에이블신호에 응답하여 상기 앤티퓨즈에 인가하는 음의 전압인 음전압신호를 발생하는 퓨즈전압생성부;

상기 앤티퓨즈인에이블신호와 상기 음전압신호와 파워업신호와 상기 다수의 데이터폭신호에 응답하여 다수의 단위앤판즈부를 통해 다수의 퓨즈출력신호를 생성하는 앤티퓨즈부; 및

상기 데이터폭인에이블신호와 상기 다수의 데이터폭신호 및 상기 다수의 퓨즈출력신호에 응답하여 상기 데이터폭인에이블신호에 따라 상기 다수의 데이터폭신호 또는 상기 앤티퓨즈부에 프로그램된 상기 다수의 퓨즈출력신호를 선별적으로 선택하여 메모리 장치의 데이터 폭을 결정하는 다수의 데이터폭출력신호를 생성하는 비교부

를 포함하여 이루어진 반도체 메모리의 데이터폭 제어장치.

청구항 2.

제1항에 있어서,

상기 단위앤피즈부는,

상기 파워업신호와 상기 데이터폭신호와 상기 앤티퓨즈인에이블신호에 응답하여 상기 음전압신호와 함께 상기 앤티퓨즈를 프로그램하는 제1출력노드신호를 생성하는 입력부;

상기 앤티퓨즈인에이블신호에 응답하여 상기 음전압신호와 상기 제1출력노드신호에 따라 온- 오프되는 상기 앤티퓨즈로 이루어진 퓨즈부;

상기 제1출력노드신호를 저장하는 래치부; 및

상기 제1출력노드신호를 감지하여 상기 퓨즈출력신호를 생성하는 출력부를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 3.

제2항에 있어서,

상기 입력부는,

상기 파워업신호를 반전하여 제2출력노드신호를 생성하는 제1인버터;

게이트로 상기 제1출력노드신호를 입력받아 소스- 드레인 경로를 통해 공급전원을 상기 제1출력노드에 전달하는 제1P MOS트랜지스터;

상기 데이터폭신호와 상기 앤티퓨즈인에이블신호에 응답하여 제3출력노드신호를 생성하는 제1낸드게이트;

게이트로 상기 제3출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제1출력노드에 전달하는 제2 및 제3PMOS트랜지스터;

상기 데이터폭신호를 반전하여 제4출력노드신호를 생성하는 제2인버터; 및

게이트로 각각 상기 앤티인에이블신호와 상기 제4출력노드신호를 입력받아 직렬 연결된 소스- 드레인 경로를 통해 접지전원을 상기 제1출력노드로 전달하는 제1 및 제2NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 4.

제3항에 있어서,

상기 퓨즈부는,

상기 음전압신호와 상기 제1출력노드신호에 응답하여 온 또는 오프되는 앤티퓨즈;

상기 앤티퓨즈인에이블신호를 반전하는 제3인버터; 및

게이트로 상기 제3인버터의 출력신호를 입력받아 소스- 드레인 경로를 통해 상기 음전압신호에 상기 접지전원을 전달하는 제3NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 5.

제4항에 있어서,

상기 래치부는,

게이트로 상기 제1출력노드신호를 입력받아 소스- 드레인 경로를 통해 제5출력노드로 상기 공급전원을 전달하는 제4P MOS트랜지스터;

게이트로 상기 제1출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 제5출력노드로 상기 접지전원을 전달하는 제4NMOS트랜지스터;

상기 제2출력노드신호와 상기 제3출력노드신호를 부정논리곱하는 제2낸드게이트;

게이트로 각각 상기 제2낸드게이트의 출력신호와 상기 제5출력노드신호를 입력받아 직렬연결된 소스- 드레인 경로를 통해 상기 공급전원을 상기 제1출력노드로 전달하는 제5 및 제6PMOS트랜지스터; 및

게이트로 상기 제5출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제1출력노드로 전달하는 제5N MOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 6.

제5항에 있어서,

상기 출력부는,

게이트로 상기 제1출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제6출력노드로 전달하는 제6N MOS트랜지스터;

게이트로 상기 제5출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 접지전원을 제7출력노드로 전달하는 제7N MOS트랜지스터;

게이트로 상기 제7출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제6출력노드로 전달하는 제7PMOS트랜지스터;

게이트로 상기 제6출력노드신호를 입력받아 소스- 드레인 경로를 통해 상기 공급전원을 상기 제7출력노드로 전달하는 제8PMOS트랜지스터; 및

상기 제7출력노드신호를 반전하여 상기 퓨즈출력신호를 생성하는 제4인버터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 7.

제6항에 있어서,

상기 비교부는,

상기 데이터폭인에이블신호와 각각 상기 다수의 데이터폭신호와 상기 다수의 퓨즈출력신호에 응답하여 각각 상기 다수의 데이터폭출력신호를 생성하는 다수의 단위비교부를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 8.

제7항에 있어서,

상기 단위비교부는,

상기 데이터폭인에이블신호에 응답하여 상기 데이터폭신호를 상기 데이터폭출력신호로 전달하는 제1스위치수단; 및

상기 데이터폭인에이블신호에 응답하여 상기 퓨즈출력신호를 상기 데이터폭출력신호로 전달하는 제2스위치수단을 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

청구항 9.

제8항에 있어서,

상기 제1스위치수단은,

게이트로 상기 데이터폭인에이블신호가 반전된 신호를 입력받아 소스- 드레인 경로를 통해 상기 데이터폭신호를 상기 데이터폭출력신호로 전달하는 제9PMOS트랜지스터; 및

게이트로 상기 데이터폭인에이블신호를 입력받아 소스- 드레인 경로를 통해 상기 데이터폭신호를 상기 데이터폭출력신호로 전달하는 제8NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.

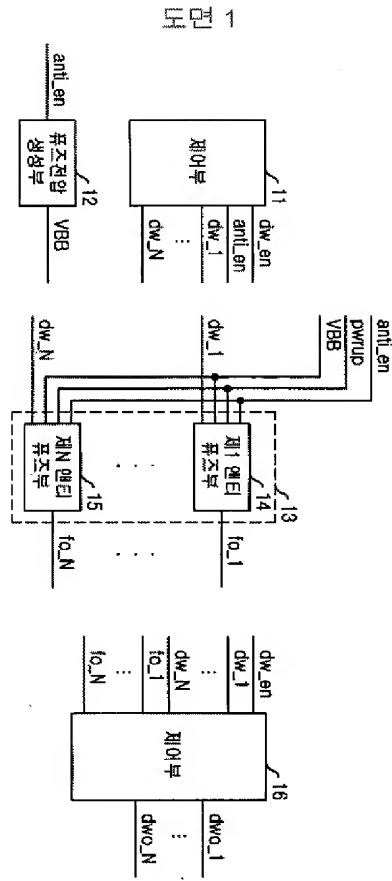
청구항 10.

제9항에 있어서,

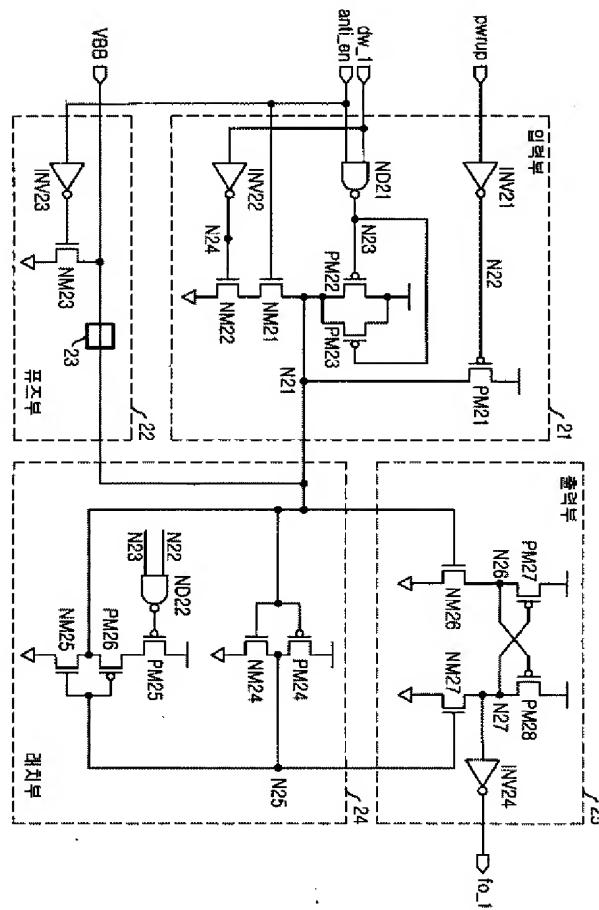
상기 제2스위치수단은,

게이트로 상기 데이터폭인에이블신호를 입력받아 소스- 드레인 경로를 통해 상기 퓨즈출력신호를 상기 데이터폭출력신호로 전달하는 제10PMOS트랜지스터; 및

게이트로 상기 데이터폭인에이블신호가 반전된 신호를 입력받아 소스- 드레인 경로를 통해 상기 퓨즈출력신호를 상기 데이터폭출력신호로 전달하는 제9NMOS트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리의 데이터폭 제어장치.



도면 2



도면 3

